

## DISPLAY DEVICE

**Publication number: JP9305139 (A)**

Publication date: 1997-11-28

**Inventor(s):** KAMINUMA MITSUO

**Applicant(s):** FUTABA DENSHI KOGYO KK

**Classification:**

- international: *H01J31/12; G09G3/20; G09G3/22; H01J29/04; H01J29/96; H01L51/50; H01J31/12; G09G3/20; G09G3/22; H01J29/00; H01J29/04; H01L51/50; (IPC1-7): G09G3/20; G09G3/22; H01J31/12*

**- European:**

**Application number:** JP19960142372 19960514

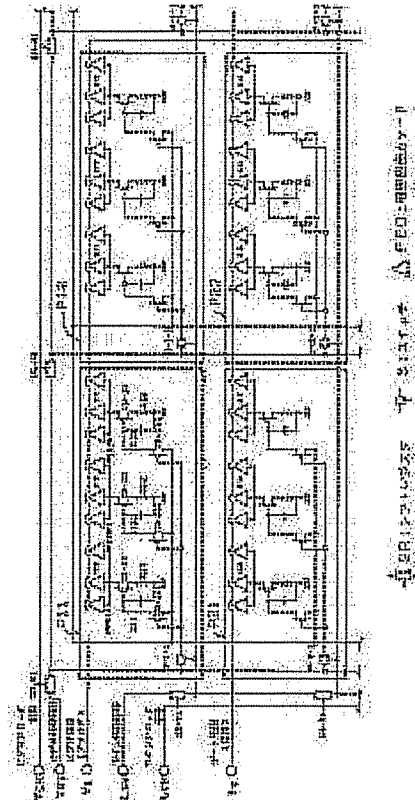
**Priority number(s):** JP19960142372 19960514

**Also published as:**

 JP3077588 (B2)

### Abstract of JP 9305139 (A)

**PROBLEM TO BE SOLVED:** To achieve stepless gradation expression according to a video signal inputted in an active matrix method. **SOLUTION:** With respect to a FED(Field Emission Display) display device and an organic EL display device, a driving means is provided in each pixel P11..., and in this driving means, a video signal supplied to each frame is held by capacitors C11-Cjk. The drive duty factor of each pixel becomes 1 by DC- driving each FEC array with the held video signal. Further, in the driving means, each pixel block is provided with a FET element, and a drain current obtained according to the video signal voltage impressed on the gate of each FET element is supplied to each cathode electrode P of FEC array as a driving current. Thus, a stepless gradation expression is achieved.



Data supplied from the **esp@cenet** database — Worldwide

**Family list****1** application(s) for: **JP9305139****1 DISPLAY DEVICE****Inventor:** KAMINUMA MITSUO**Applicant:** FUTABA DENSHI KOGYO KK**EC:****IPC:** *H01J31/12; G09G3/20; G09G3/22; (+12)***Publication info:** **JP9305139 (A)** — 1997-11-28  
**JP3077588 (B2)** — 2000-08-14

---

Data supplied from the *esp@cenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-305139

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	K
	3/22	4237-5H	3/22	
H 0 1 J 31/12			H 0 1 J 31/12	C

審査請求 有 請求項の数 8 F D (全 12 頁)

(21) 出願番号 特願平8-142372

(22) 出願日 平成8年(1996)5月14日

(71) 出願人 000201814

双葉電子工業株式会社  
千葉県茂原市大芝629

(72) 発明者 上沼 光男

千葉県茂原市大芝629 双葉電子工業株式  
会社内

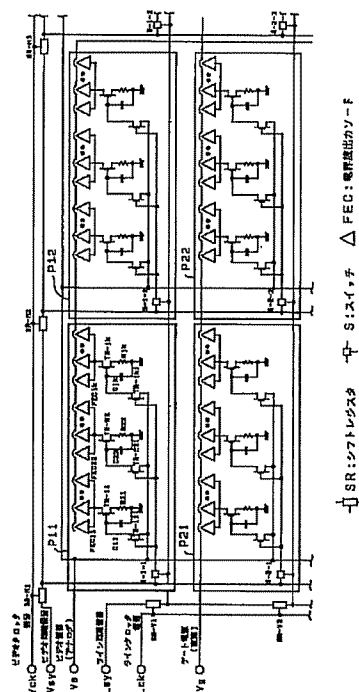
(74) 代理人 弁理士 脇 篤夫 (外1名)

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 アクティブマトリクス方式において、入力されたビデオ信号に応じた無段階の階調表現を実現する。

【解決手段】 F E D表示装置や有機E L表示装置において、各ピクセルP 1 1・・・内に駆動手段を設け、この駆動手段においてフレーム毎に供給されるビデオ信号をキャパシタC 1 1～C j kで保持する。保持されたビデオ信号により各F E Cアレーを直流駆動することにより、各ピクセルの駆動のデューティは1となる。また、駆動手段は、各ピクセルのブロックに対してF E T素子が設けられ、各F E T素子のゲートに印加されるビデオ信号の電圧に応じて得られるドレイン電流がドライブ電流としてF E CアレーのP各カソード電極に供給される。これにより、無段階の階調表現が実現される。



【特許請求の範囲】

【請求項 1】 マトリクス状に表示ピクセルが形成されている F E D 表示部の、前記各表示ピクセルが電子放出部と表示部とから構成され、

前記電子放出部は、少なくとも 1 つ以上の電界放出カソードからなり、前記表示部は前記電子放出部から放出される電子を捕集するアノードと、該アノードに被着されている蛍光体からなり、

所定周期毎に順次走査されて前記各表示ピクセルの前記電子放出部に間欠的にビデオ信号が与えられており、前記各表示ピクセルの前記電子放出部に与えられる前記ビデオ信号を次の周期まで保持する保持手段と、該保持手段により保持されたビデオ信号に応じた直流の定電流を前記電界放出カソードに供給する F E T 素子からなる駆動手段が前記電子放出部に備えられていることを特徴とする表示装置。

【請求項 2】 前記保持手段がグラウンド配線層とその上に形成された強誘電体膜とにより構成されたキャパシタを有していることを特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記各 F E T 素子に印加するビデオ信号に対して、前記 F E T 素子のゲート・ソース間電圧・ドレイン電流特性の逆特性を与えるビデオ信号補正回路が設けられていることを特徴とする請求項 1 記載の表示装置。

【請求項 4】 前記ビデオ信号補正回路は、前記各 F E T 素子に印加するビデオ信号に対して、前記電界放出カソードの非線形特性に対する特性補正も行なうことを特徴とする請求項 3 記載の表示装置。

【請求項 5】 マトリクス状に表示ピクセルが形成されている有機エレクトロルミネセンス表示部において、前記表示ピクセルは、所定周期毎に順次走査されて各表示ピクセルにビデオ信号が与えられており、前記表示ピクセル毎に備えられた駆動手段は、各表示ピクセルに与えられる前記ビデオ信号を次の周期まで保持する保持手段と、該保持手段により保持されたビデオ信号に応じた直流の定電流を前記表示ピクセルに供給する F E T 素子からなることを特徴とする表示装置。

【請求項 6】 前記保持手段がグラウンド配線層とその上に形成された強誘電体膜とにより構成されたキャパシタを有していることを特徴とする請求項 5 記載の表示装置。

【請求項 7】 前記各 F E T 素子に印加するビデオ信号に対して、前記 F E T 素子のゲート・ソース間電圧・ドレイン電流特性の逆特性を与えるビデオ信号補正回路が設けられていることを特徴とする請求項 5 記載の表示装置。

【請求項 8】 前記ビデオ信号補正回路は、前記各 F E T 素子に印加するビデオ信号に対して、前記有機エレクトロルミネセンス表示部の各表示ピクセルの非線形特性

に対する特性補正も行なうことを特徴とする請求項 7 記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス方式とされた表示ピクセルを有する画像を表示する表示装置に関し、特に電界放出型カソードを用いた F E D 表示装置や、有機エレクトロルミネセンス（以下、有機 E L と記す。）表示装置に適用して好適なものである。

【0002】

【従来の技術】金属または半導体表面の印加電界を  $10^9$  [V/m] 程度にするとトンネル効果により、電子が障壁を通過して常温でも真空中に電子放出が行われる。これを電界放出（Field Emission）と云い、このような原理で電子を放出するカソードを電界放出カソード（Field Emission Cathode）と呼んでいる。近年、半導体加工技術を駆使して、ミクロンサイズの電界放出カソードからなるアレイを用いて、面放出型の電界放出カソードを作成することが可能となり、このような電界放出カソードを用いた画像表示装置（F E D 表示装置）の研究開発が行われている。

【0003】また、他の表示デバイスの 1 つとして、或る種の蛍光体に電界を加えると発光するエレクトロルミネセンスという現象に基づき、有機化合物を発光層に使用した有機 E L 表示装置についても研究開発が行なわれている。

【0004】

【発明が解決しようとする課題】ところで、これらの表示装置の開発課題の 1 つとして、表示品位を上げるために良好な階調表現を実現するということがある。入力ビデオ信号に応じて発光輝度を制御し、良好な階調表現を実現するには、例えば入力ビデオ信号の値に基づいてパルス幅変調（PWM）を行なった信号をドライブ信号とする方式がある。この場合、入力ビデオ信号の値に応じて各画素ピクセルの発光時間がコントロールされることになるため、階調表現が行なわれることになる。

【0005】ところでこの場合は一般に、入力ビデオ信号を A/D 変換し、そのデジタルデータとカウンタのカウント値との一致を検出することでパルス幅変調を行なうことになるが、實際上、配線数やカウンター用クロックの周波数の制限などから、A/D 変換は 6 ビット程度、つまり 64 階調程度が限界となってしまう、例えば 8 ビットで 256 階調を表現したり、それ以上の階調を実現することは非常に困難なものとなっていた。即ち PWM 方式では階調表現に実用上の限界があり、飛躍的な表示の高品位化は望めないという問題点があった。

【0006】また他の方式としてドライブ電圧、即ち F E D 表示装置におけるゲート・カソード間電圧や、有機 E L 表示装置における電極間電圧を変調することで階調表現を行なうパルス振幅変調（PAM）方式も考えられ

ている。しかしながら、FED表示装置や有機EL表示装置におけるアノード電流特性上のアノード電流立上り点電圧のバラツキ（各画素ピクセル毎のバラツキ）や駆動回路の温度特性、電力損失の点などから、階調を精密にコントロールできず、良好な表示品位が得られないという問題点があった。

【0007】本発明はこのような問題点を解決すべく、入力されたビデオ信号に応じた無段階の階調表現を実現し、表示画像の品位を飛躍的に向上させるようにしたアクティブマトリクス方式の表示装置を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明の表示装置は、マトリクス状に表示ピクセルが形成されているFED表示部の、前記表示ピクセルが電子放出部と表示部とから構成され、前記電子放出部は、少なくとも1つ以上の電界放出カソードからなり、前記表示部は前記電子放出部から放出される電子を捕集するアノードと、該アノードに被着されている蛍光体からなり、所定周期毎に順次走査されて前記各表示ピクセルの前記電子放出部に間欠的にビデオ信号が与えられており、前記各表示ピクセルの前記電子放出部に与えられる前記ビデオ信号を次の周期まで保持する保持手段と、該保持手段により保持されたビデオ信号に応じた直流の定電流を前記電界放出カソードに供給するFET素子からなる駆動手段が前記電子放出部に備えられているようにした。

【0009】さらに、本発明の他の表示装置は、マトリクス状に表示ピクセルが形成されている有機エレクトロルミネセンス表示部において、前記表示ピクセルは、所定周期毎に順次走査されて各表示ピクセルにビデオ信号が与えられており、前記表示ピクセル毎に備えられた駆動手段は、各表示ピクセルに与えられる前記ビデオ信号を次の周期まで保持する保持手段と、該保持手段により保持されたビデオ信号に応じた直流の定電流を前記表示ピクセルに供給するFET素子からなるように構成した。

【0010】また、前記表示手段において、前記保持手段にグランド配線層とその上に形成された強誘電体膜とにより構成されたキャパシタを有するようになり、前記各FET素子に印加するビデオ信号に対して、前記FET素子のゲート・ソース間電圧・ドレイン電流特性の逆特性を与えるビデオ信号補正回路を設けたり、前記ビデオ信号補正回路は、前記各FET素子に印加するビデオ信号に対して、前記FED表示部の非線形特性に対する特性補正も行なうようにしている。

【0011】このような本発明によれば、各表示ピクセルをビデオ信号に応じた定電流により駆動することができるので、ビデオ信号に応じた無段階の階調表現を実現することができ、表示画像の品位を飛躍的に向上させる

ことができる。また、各表示ピクセルを駆動する駆動手段を各表示ピクセル毎に備えるアクティブマトリクス方式とすると共に、各駆動手段内に周期毎に与えられるビデオ信号を保持する保持手段を設けるようにしたので、表示手段の出力端子数を低減することができる。さらに、各表示ピクセルはデューティが1とされる直流駆動となるので、ダイナミック方式の数分の1の駆動電圧により同一輝度が得られると共に、デューティが1とされるので表示手段の布線の浮遊容量の充放電による電力損失をほぼなくすることができる。

【0012】

【発明の実施の形態】以下、本発明の第1の実施の形態としての表示装置の概要を図1を参照して説明する。図1において、表示部10はマトリクス状に配列された $m \times n$ のピクセル $P11 \sim Pmn$ から構成されている。これらのピクセル $P11 \sim Pmn$ には、アナログのビデオ信号 $S_v$ がビデオアンプ2により増幅され、さらに $V/I$ 補正回路3によりビデオ信号の特性が補正されて供給されている。この場合、ピクセル $P11 \sim Pmn$ には、走査制御回路4により順次時分割されて、個々のピクセル $P11 \sim Pmn$ にビデオ信号 $S_v$ が間欠的に供給されている。なお、走査制御回路4には同期信号 $S_{sync}$ が供給され、走査制御回路4はこの同期信号 $S_{sync}$ のタイミングにより走査制御を行っている。

【0013】各ピクセル $P11 \sim Pmn$ には駆動手段が各々設けられており、表示部10はいわゆるアクティブマトリクス方式とされている。各ピクセル $P11 \sim Pmn$ に設けられた駆動手段は後述するが、間欠的に供給されるビデオ信号を、次のフレーム周期で次のビデオ信号が供給されるまで保持する保持手段と、保持手段で保持されたビデオ信号のレベルに応じた定電流で駆動するFET素子から構成される。そして、FET素子により各ピクセル $P11 \sim Pmn$ を駆動する定電流が供給されるようになる。各ピクセル $P11 \sim Pmn$ は供給された定電流に応じて発光するようになり、これにより、ビデオ信号に応じた無段階とされた階調制御を行えるようにしている。なお、電源回路5は、表示部10に駆動用のアノード電源や、駆動手段に駆動電源等を供給している。

【0014】本発明は、このようにアクティブマトリクス方式とされた表示装置において、無段階の階調表現を可能とすることができるものであり、その第1の実施の形態であるFED表示装置を図2ないし図6を参照して説明する。まずFED表示装置に用いる電界放出カソード(FEC)として、図5に半導体加工技術により作成されたスピント(Spindt)型と呼ばれる電界放出カソード(FEC)を示す。

【0015】この図5に示すように、FECはガラス等の基板Kの上にアルミニウム等の金属からなるカソード電極Cが蒸着により形成されており、このカソード電極C上にモリブデン等の金属からなるコーン状のエミッタ

Eが形成されている。カソード電極C上のエミッタEが形成されていない部分には二酸化シリコン ( $\text{SiO}_2$ ) 膜が形成され、さらにその上にはゲートGTが形成されており、ゲートGT及び二酸化シリコン膜に設けられた丸い開口部の中に上記コーン状のエミッタEが位置している。すなわち、このコーン状のエミッタEの先端部分がゲートGTに設けられた開口部から臨む構成とされている。

【0016】このコーン状のエミッタEのエミッタ間のピッチは、10ミクロン以下で製作することができ、数万から数10万個のエミッタEを1枚の基板K上に設けることができる。さらに、ゲートGTとエミッタEのコーンの先端との距離をサブミクロンとすることができるため、ゲートGTとエミッタE (カソード電極C) 間とに僅か数10ボルトのゲート・エミッタ間電圧 $V_{ge}$ を印加することにより、電子をエミッタEから放出することができる。この電界放出された電子はゲートGT上に隔離して配置された正の電圧 $V_A$ が印加されているアノードAにより捕集される。

【0017】このようなFECのカソード電流 $I_c$ 、ゲート・カソード間電圧 $V_{ge}$ 特性を図6に示す。この図6に示すように、ゲート・カソード間電圧 $V_{ge}$ が徐々に上昇していくと、カソード電流 $I_c$ が流れ始めるようになる。この電流 $I_c$ が流れ始める電圧 $V_{ge}$ を閾値電圧 $V_{th}$ と云い、この時にゲート・カソード間の電界が約10

[V/m]程度となるためエミッタEから電子が放出され始めるようになる。これにより、カソード電流 $I_c$ がカソード電極Cに流れ始めるのである。一般に、ゲート・カソード間には閾値電圧 $V_{th}$ よりかなり高い図示する $V_{op}$ 程度の電圧が印加されており、この時カソード電極Cにはカソード電流 $I_{op}$ が流れるようになる。

【0018】この場合、コーン状のエミッタEの1つから得られるエミッション電流は約1マイクロアンペアと小さい電流であるため、多数のエミッタEをアレイ化することにより所望の大きさのエミッション電流が得られるFECとしている。この場合、アノードAは放出された電子を捕集し、アノードAに蛍光体を設けておくことでエミッタから電界放出された電子が捕集されるアノードAの蛍光体の部分を発光させることができる。このような原理を利用することにより、FECを用いた画像表示装置、即ちFED表示装置が実現されている。

【0019】このような原理を用いたFED表示装置の表示部10の一部詳細図の一例を図2に示している。この一部詳細図は、図1に示す一点鎖線で囲んだ表示部10のピクセルP11, P12, P21, P22の4つのピクセルのみを拡大して示すものである。表示部10は、図5で説明した原理で表示が実行される部位であり、エミッタE及びゲートGTからなるFECのアレーが $j \times k$ ブロックで1単位のピクセルP11~Pmnにそれぞれ形成されている。この場合、表示領域は図1に

示すように $n \times m$ ピクセルで形成される。ピクセルP11~Pmnは、すべて同一構成とされており、ピクセルの説明をピクセルP11を代表として説明する。

【0020】ピクセル11はブロックFEC11, ... FEC22, ... FECjkの $j \times k$ ブロックのFECアレーを備えており、それぞれのブロックを独立して駆動する駆動手段がそれぞれ備えられている。駆動手段は2つの電界効果トランジスタ (FET) と、信号保持用のコンデンサと、FETの特性変動圧縮用の抵抗からなっている。具体的に説明すると、ブロックFEC11においてFET TR-111はアナログスイッチとして動作しており、ピクセルP11にビデオ信号が与えられる時に開いて、入力されたビデオ信号をコンデンサC11およびFET TR-11のゲートに印加している。FET TR-111はピクセルP11にビデオ信号が与えられる期間のみオンするよう制御されるが、オンとなる周期は、例えば1フレーム毎とされている。

【0021】このようにしてピクセル11に取り込まれたビデオ信号はコンデンサC11により次のフレームで次のビデオ信号が与えられるまで保持される。また、コンデンサC11の保持電圧はFET TR-11のゲートに印加されており、このため、FET TR-11のドレインにはこのゲート電圧に応じた定電流が流れるようになる。このドレイン電流はブロックFEC11にカソード電流として供給されるようになる。なお、FET TR-11のドレイン電流はブロックFEC11の立ち上がりの特性によらず、そのゲート電圧により決定されるので、図6に示すブロックFEC11の立ち上がりの特性にばらつきがあってもそのばらつきを吸収したカソード電流が流れるようになる。このため、立ち上がり特性のばらつきを原因とする輝度のばらつきを防止することができる。

【0022】ところで、ピクセルP11に取り込まれたビデオ信号は、各ブロックに備えられたコンデンサC11~Cjkにそれぞれ蓄積されて保持される。そして、上述のようにFET TR-11~TR-jkにゲート電圧を供給している。これにより、各ブロックFEC11~FECjkはビデオ信号のレベルに応じた直流の定電流で駆動されるようになるので、そのデューティは1 (100%)となる。これにより、ダイナミック駆動する場合に比べて、同一輝度を得る場合に、アノード電圧およびゲート電圧を数分の一とすることができ、耐圧を低くすることができるので表示装置の設計を容易とすることができる。

【0023】次に各ピクセルP11~Pmnを駆動する駆動制御方法について説明する。図1に示す走査制御回路4からは、ビデオクロック信号Vck、ビデオ同期信号Vsy、ライン同期信号Lsy、ラインクロック信号Lckが表示部10に与えられている。また、電源回路5から供給されたゲート電源Vgは、すべてのピクセル

P11～Pmnのゲートに常時印加されている。表示部10の水平方向には1ピクセル毎に設けられたシフトレジスタSR-H1～SR-Hnが縦続接続されており、このシフトレジスタSR-H1～SR-Hnには、ビデオ同期信号Vsyが入力されており、ビデオクロック信号Vckによりビデオ同期信号Vsyがシフトされている。また、表示部10の垂直方向には、1ピクセル毎に設けられたシフトレジスタSR-V1～SR-Vmが縦続接続されており、このシフトレジスタSR-V1～SR-Vmには、ライン同期信号Lsyが入力されており、ラインクロック信号Lckによりライン同期信号Lsyがシフトされている。

【0024】例えば、シフトレジスタSR-V1の出力により一水平ラインのピクセルP11ないしP1nのスイッチS-1-1～S-1-nの一方にアクティブレベルの信号が供給されている時に、シフトレジスタSR-H1の出力がアクティブレベルとなった時は、スイッチS-1-1にのみ2つのアクティブレベルの信号が供給されるので、スイッチS-1-1のみオンとなり、ピクセルP11内のFETTR-111～TR-jk1がオンとなる。これによりオンとなったFETTR-111～TR-jk1を介して、ピクセル11にビデオ信号Vsが取り込まれるようになる。次のタイミングではビデオクロックVckにより、ビデオ同期信号VsyがシフトされてシフトレジスタSR-H2の出力がアクティブレベルとなり、スイッチS-1-2のみオンとなって、ピクセルP12内のFETTR-111～TR-jk1がオンとなる。したがって、これらのオンとなったFETを介してピクセル12にビデオ信号Vsが取り込まれるようになる。

【0025】シフトレジスタSR-H1～SR-Hnでビデオ同期信号Vsyがシフトされていくに伴い、同様にして、水平方向のピクセルP13～P1nにビデオ信号Vsが順次取り込まれる。次いで、一水平ラインの各ピクセルにビデオ信号が取り込まれると、ライン同期信号によりライン同期信号Lsyがシフトされて、シフトレジスタSR-V2の出力がアクティブレベルとなり、今度は2ライン目のピクセルP21～P2nが、前述と同様にして順次ビデオ信号Vsを取り込むようになる。このような動作が引き続いて行われることにより、最終ラインのピクセルPm1～Pmnが順次ビデオ信号Vsを取り込む。これにより、1フレームのビデオ信号が表示部10に供給されたことになり、各ピクセルP11～Pmnでは保持しているビデオ信号に応じたカソード電流を各FECブロックに供給して、入力されたビデオ信号Vsの画像信号に応じた電子放出を行うようになる。

【0026】なお、FETTR-11～TR-jkのソースに挿入されているソース抵抗R11～RjkはFETTR-11～TR-jkの特性の変動を抑える作用を行うものである。すなわち、ドレイン電流が所定よ

り少ない時にはそのソース抵抗の電圧降下が少なく、FETをドレイン電流が増加させる方向に動作させ、ドレイン電流が所定より多い時にはそのソース抵抗の電圧降下が大きくなり、FETをドレイン電流が減少させる方向に動作させている。このようにして、ピクセルP11～Pmnからビデオ信号Vsに応じた電界放出動作が行なわれ、これが図1には示していないアノード電極A側に捕集されて蛍光体に衝突することにより、発光動作が行なわれる。即ち画像を構成する1フレームの発光が行なわれ、1枚の画像表示が実行される。

【0027】各ピクセルの各ブロックに備えられているビデオ信号保持用のコンデンサC11～Cjkでは、ビデオ信号の更新が1フレーム毎に行われ、その間ビデオ信号を保持している必要があるが、容量が不足する場合は、グラウンド配線層の上に誘電体膜を形成して作成したキャパシタを付加して容量を増加させるようにしてもよい。なお、コンデンサC11～Cjkからの保持出力電圧は、電界効果トランジスタであるFETTR-11～TRjkのゲートに印加されるが、FETTR-11～TRjkを絶縁ゲート型であるMOS型としたので、その漏れ電流は小さく小容量のコンデンサC11～Cjkにより1フレームの期間ビデオ信号レベルを保持できるようになる。

【0028】また、FET素子のドレイン・ソース間電圧Vdsとドレイン電流Idの特性としては、一般に図3に示すような定電流特性が知られている。本例は、このようなFETの定電流特性を利用して、前述したようにカソード電流を、ビデオ信号に応じて無段階変調している。例えば、ピクセルP11～Pmnに対するカソード電流としては、各ピクセルの特性に殆ど関係なく、MOS型FETTR11～TRjkのゲート電圧で決まる電流が流れることになる。この場合、MOS型FET素子のゲート・ソース間電圧Vgsとドレイン電流Idの特性は一般的に図4のように非線形となるが、ゲート電圧となるビデオ信号Svに対して、この特性とは逆特性となる特性を与えることで、入力端子1に入力されるビデオ信号Svの電圧値に応じて無段階に線形に変調されたカソード電流が得られることになる。このためのビデオ信号Svの特性処理はV/I補正回路3で行なわれる。

【0029】さらに、ブロックFEC11～FECjkからなる各ピクセルのゲート・カソード間電圧Vgcとカソード電流Idの特性は上述したように図6のようになるが、最大輝度はVop、Iopに設定されとする。ビデオアンプ2のゲインとしては、MOS型FETTR-11～TR-jkの図3に示すドレイン・ソース間電圧Vdsが湾曲点の手前、即ち1～3Vの電圧となるように調整する。つまりFET素子の定電流特性領域を用いるようにする。なお、図6に示すゲート・カソード間電圧Vgcとカソード電流Idの非線形特性を、V/I補正回路3で補正するようにしてもよい。

【0030】そして $V/I$ 補正回路3では、ビデオ信号 $S_v$ に対して例えば対数圧縮処理を施し、図4に示すFET素子のゲート・ソース間電圧 $V_{gs}$ とドレイン電流 $I_d$ の特性とは逆特性が与えられるようにし、そのように処理されたビデオ信号 $S_v$ がMOS型FET  $TR-11 \sim TR-jk$ のゲートに印加されるようにする。すると、各ピクセルのカソード電極 $C1 \sim Cn$ に流れる電流は、入力端子に入力されるビデオ信号 $S_v$ の電圧値に対してリニアな特性となり、つまりビデオ信号 $S_v$ に応じて無段階に線形に変調されたカソード電流が得られるようになる。

【0031】また、表示部10での輝度は、そのアノード電力に比例する。アノード電圧は通常一定とすることから、輝度はアノード電流に比例し、アノード電流はほぼカソード電流と同じとなる。すなわち、カソード電流が変化すれば、輝度はそれに応じて変化するため、ビデオ信号 $S_v$ に応じて無段階に変調されたカソード電流により、ビデオ信号 $S_v$ に応じた無段階階調表現が、本発明において実現されることになる。この場合、当然ながら従来のPWM変調のような階調の多段階化への制限もなく、また図6の特性のパラツキの影響もないため、表示画像の品位を飛躍的に向上させることができる。

【0032】ところで、 $V/I$ 補正回路3の処理のみでは特性補正が不十分であるときなどは、ビデオ信号 $S_v$ に対して $A/D$ 変換、補正演算、 $D/A$ 変換を行なう補正回路系を設け、デジタル演算による補正を行なうようにしてもよい。このような場合は、各FET  $TR-11 \sim TR-jk$ 毎、各ピクセル毎に対応した特性補正も可能となる。またデジタル演算補正により各FET  $TR-11 \sim TR-jk$ 毎での特性補正を行なう場合は、特性パラツキ補正のための上記のソース抵抗 $11 \sim jk$ は不要となる。

【0033】さらにビデオ信号 $S_v$ の特性補正のためには、各ピクセル $P11 \sim Pmn$ までの特性を予めテーブルデータとしてメモリに保持しておき、それに基づいて補正を実行するようにすることもできる。また、表示装置をフルカラー化する場合は、1ピクセル内においてR、G、Bの蛍光体を設けると共に、FECアレーからなるブロックをR、G、Bに対応して3分割し、それぞれの色のビデオ信号を分割された各ブロックで取り込んで保持するようにする。この場合、ゲート電極も分割されたブロックに対応して分割すると、各ゲート電極のゲート電圧を調整することにより、色バランスを調整することができる。

【0034】次に本発明の表示装置の第2の実施の形態としての有機EL表示装置を図7～図9を参照して説明するが、表示装置の概略は図1に示す表示装置と同じであり、有機EL表示装置とされた場合の図1に示す表示部10の4つのピクセル $P11$ 、 $12$ 、 $P21$ 、 $P22$ の詳細な構成が図7に示されている。有機EL表示装置

においても図1に示すように、表示部10はマトリクス状に配列された $m \times n$ のピクセル $P11 \sim Pmn$ から構成されている。この表示装置の動作は、表示素子がFECから有機EL表示素子とされた点を除いて前述した通りであるので省略するが、表示部10はアクティブマトリクス方式とされており、各ピクセル $P11 \sim Pmn$ は供給された定電流に応じて発光するようにされて、ビデオ信号に応じた無段階とされた階調制御を行えるようにしている。なお、電源回路5は、表示部10に駆動用のアノード電源等を供給している。

【0035】本発明は、このようにアクティブマトリクス方式とされた表示装置において、無段階の階調表現を可能とすることができるものであり、その第2の実施の態様である有機EL表示装置を図7ないし図9を参照して説明する。この有機EL表示装置に用いられる有機EL発光素子の構造を図8に示す。有機EL発光素子は、ガラス基板101上に形成された薄膜状の透明のITO電極102と、このITO電極102を覆うように形成されたホール輸送層103と、このホール輸送層103上に薄膜状に形成された発光層104と、発光層104上に形成された上部電極105とから構成されている。

【0036】このように構成された有機EL発光素子においては、上部電極105がいわゆるカソード電極となり、ITO電極102がアノード電極となる。そして上部電極105にマイナス、ITO電極102にプラスの直流電圧を印加すると、ITO電極102から注入されたホールはホール輸送層103により輸送されて発光層104に注入される。一方、上部電極105から発光層104に電子が注入されており、この注入された電子と、ホール輸送層103から注入されたホールとが発光層104内において再結合される。この再結合により、発光層104が発光するようになり、この発光は透光性のホール輸送層103、ITO電極102、およびガラス基板101を介して観察することができる。

【0037】この場合、上部電極105とITO電極102に印加する直流電源の電圧が10ボルト以下で $1000 [cd/cm^2]$ 以上の発光を得ることができる。なお、ホール輸送層103は一般にトリフェニルジアミン(TPD)を材料として形成されており、発光層104は一般にアルミキノリノール錯体( $Alq_3$ )により形成されている。また、ホール輸送層103および発光層104からなる有機EL媒体に替えて、発光性ポリマーからなる一層構造の発光層を用いることもできる。

【0038】有機EL表示素子のアノード電流 $I_a$ ・アノード・カソード間電圧 $V_{ac}$ の特性を図6に示す。この図6に示すように、アノード・カソード間電圧 $V_{ac}$ が徐々に上昇していくと、アノード電流 $I_a$ が流れ始めるようになる。この電流 $I_a$ が流れ始める電圧 $V_{ac}$ を閾値電圧 $V_{th}$ という。一般に、アノード・カソード間には閾値電圧 $V_{th}$ よりかなり高い図示する $V_{op}$ 程度の電圧が印加



されており、この時アノードであるITO電極102にはアノード電流 $I_a$ が流れるようになる。

【0039】このような原理を用いた有機EL表示装置の表示部10の一部詳細図の一例を図7に示している。この一部詳細図は、図1に示す表示部10のピクセルP11, P12, P21, P22の4つのピクセルのみを拡大して示すものである。表示部10は、図8で説明した原理で表示が実行される部位であり、上部電極105、発光層104、ホール輸送層103、およびITO電極102からなる有機EL素子がj個で1単位のピクセルP11~Pmnが形成される。この場合、表示領域は図1に示すように $n \times m$ ピクセルで形成される。ピクセルP11~Pnmは、すべて同一構成とされており、ピクセルの説明をピクセルP11を代表として説明する。

【0040】ピクセル11は有機EL素子O-EL1~O-ELjのj個の有機EL素子を備えており、それぞれの有機EL素子を独立して駆動する駆動手段がそれぞれ備えられている。駆動手段は2つの電界効果トランジスタ(FET)と信号保持用のコンデンサとFETの特性変動圧縮用の抵抗からなっている。具体的に説明すると、有機EL素子O-EL1においてFET TR-1はアナログスイッチとして動作しており、ピクセルP11にビデオ信号が与えられる時に開いて、入力されたビデオ信号をコンデンサC1およびFET TR-1のゲートに印加している。FET TR-1はピクセルP11にビデオ信号が与えられる期間のみオンするよう制御されるが、オンとなる周期は、例えば1フレーム毎とされている。

【0041】このようにしてピクセル11に取り込まれたビデオ信号はコンデンサC1により次のフレームで次のビデオ信号が与えられるまで保持される。また、コンデンサC1の保持電圧はFET TR-1のゲートに印加されており、このため、FET TR-1のドレインにはこのゲート電圧に応じた定電流が流れるようになる。このドレイン電流は有機EL素子O-EL1にカソード電流として供給されるようになる。なお、FET TR-1のドレイン電流は有機EL素子O-EL1の立ち上がりの特性によらず、そのゲート電圧により決定されるので、図9に示す有機EL素子O-EL1の立ち上がりの特性にばらつきがあってもそのばらつきを吸収したカソード電流が流れるようになる。このため、立ち上がり特性のばらつきを原因とする輝度のばらつきを防止することができる。

【0042】ところで、ピクセルP11に取り込まれたビデオ信号は、各有機EL素子毎に備えられたコンデンサC1~Cjに蓄積されて保持される。そして、上述のようにFET TR-1~TR-jにゲート電圧を供給している。これにより、各有機EL素子O-EL1~O-ELjはビデオ信号のレベルに応じた直流の定電流で駆

動されるようになるので、そのデューティは1(100%)となる。これにより、ダイナミック駆動する場合と比べて同一輝度を得る場合に、アノード電圧を数分の一とすることができ、耐圧を低くすることができるのでその設計を容易とすることができる。

【0043】次に各ピクセルP11~Pmnを駆動する駆動制御方法について説明する。ここで、図1に示す走査制御回路4からは、ビデオクロック信号Vck、ビデオ同期信号Vsy、ライン同期信号Lsy、ラインクロック信号Lckが表示部10に与えられている。また、電源回路5から供給されたアノード電源Vaは、すべてのピクセルP11~PmnのITO電極(アノード電極)に常時印加されている。表示部10の水平方向には1ピクセル毎に設けられたシフトレジスタSR-H1~SR-Hnが縦続接続されており、このシフトレジスタSR-H1~SR-Hnには、ビデオ同期信号Vsyが入力されており、ビデオクロック信号Vckによりビデオ同期信号Vsyがシフトされている。また、表示部10の垂直方向には、1ピクセル毎に設けられたシフトレジスタSR-V1~SR-Vmが縦続接続されており、このシフトレジスタSR-V1~SR-Vmには、ライン同期信号Lsyが入力されており、ラインクロック信号Lckによりライン同期信号Lsyがシフトされている。

【0044】例えば、シフトレジスタSR-V1の出力により一水平ラインのピクセルP11ないしP1nのスイッチS-1-1~S-1-nの一方にアクティブレベルの信号が供給されている時に、シフトレジスタSR-H1の出力がアクティブレベルとなった時は、スイッチS-1-1にのみ2つのアクティブレベルの信号が供給されるので、スイッチS-1-1のみオンとなり、ピクセルP11内のFET11~FETj1がオンとなる。すなわち、この時はオンとなったFET11~FETj1を介してピクセル11にビデオ信号Vsが取り込まれるようになる。次のタイミングではビデオクロックVckにより、ビデオ同期信号VsyがシフトされてシフトレジスタSR-H2の出力がアクティブレベルとなり、スイッチS-1-2のみオンとなって、ピクセルP12内のFET11~FETj1がオンとなる。すなわち、この時はオンとなったFET11~FETj1を介してピクセル12にビデオ信号Vsが取り込まれるようになる。

【0045】シフトレジスタSR-H1~SR-Hnは同期信号Vsyは順次シフトされていき、これに伴い同様にして、水平方向のピクセルP13~P1nにビデオ信号Vsが順次取り込まれる。次いで、一水平ラインのピクセルにそれぞれビデオ信号が取り込まれると、ライン同期信号によりライン同期信号Lsyがシフトされて、シフトレジスタSR-V2の出力がアクティブレベルとなり、今度は2ライン目のピクセルP21~P2n

が、前述と同様にして順次ビデオ信号 $V_s$ を取り込むようになる。このような動作が引き続いて行われることにより、最終ラインのピクセル $P_{m1} \sim P_{mn}$ が順次ビデオ信号 $V_s$ を取り込む。これにより、1フレームのビデオ信号が表示部10に供給されたことになり、各ピクセル $P_{11} \sim P_{mn}$ では保持しているビデオ信号に応じたカソード電流を各有機EL表示素子に供給して、入力されたビデオ信号 $V_s$ の画像信号に応じた発光が行われるようになる。

【0046】なお、FET  $TR-1 \sim TR-j$ のソースに挿入されているソース抵抗 $R_1 \sim R_j$ はFET  $TR-1 \sim TR-j$ の特性の変動を抑える作用を行うものである。すなわち、ドレイン電流が所定より少ない時にはそのソース抵抗の電圧降下が少なく、FETをドレイン電流が増加させる方向に動作させ、ドレイン電流が所定より多い時にはそのソース抵抗の電圧降下が大きくなり、FETをドレイン電流が減少させる方向に動作させている。このようにして、ピクセル $P_{11} \sim P_{mn}$ からビデオ信号 $V_s$ に応じた発光動作が行なわれる。即ち画像を構成する1フレームの発光が行なわれ、1枚の画像表示が実行される。

【0047】各ピクセルの各ブロックに備えられているビデオ信号保持用のコンデンサ $C_1 \sim C_j$ では、ビデオ信号の更新が1フレーム毎に行われ、この期間ビデオ信号を保持する必要があるが、容量が不足する場合は、グラウンド配線層の上に強誘電体膜を形成して作成したキャパシタを付加して容量を増加させるようにしてもよい。なお、コンデンサ $C_1 \sim C_j$ からの保持出力電圧は、電界効果トランジスタであるFET  $TR-1 \sim TR-j$ のゲートに印加されるが、FET  $TR-1 \sim TR-j$ を絶縁ゲート型であるMOS型としたので、その漏れ電流は小さく小容量のコンデンサ $C_1 \sim C_j$ により1フレームの期間ビデオ信号レベルを保持できるようになる。

【0048】また、FET素子のドレイン・ソース間電圧 $V_{ds}$ とドレイン電流 $I_D$ の特性としては、一般に図3に示すような定電流特性が知られており、この実施の態様においても、このようなFETの定電流特性を利用して、前述したようにカソード電流を、ビデオ信号に応じて無段階変調している。例えば、ピクセル $P_{11} \sim P_{mn}$ に対するカソード電流としては、各ピクセルの特性に殆ど関係なく、MOS型FET  $TR_1 \sim TR_j$ のゲート電圧で決まる電流が流れることになる。この場合、MOS型FET素子のゲート・ソース間電圧 $V_{gs}$ とドレイン電流 $I_D$ の特性は一般的に図4のように非線形となるが、ゲート電圧となるビデオ信号 $S_v$ に対して、この特性とは逆特性となる特性を与えることで、入力端子に入力されるビデオ信号 $S_v$ の電圧値に応じて無段階に線形に変調されたカソード電流が得られることになる。このためのビデオ信号 $S_v$ の特性処理は $V/I$ 補正回路3で行なわれる。

【0049】さらに、有機EL素子 $O-EL_1 \sim O-EL_j$ からなる各ピクセルのアノード・カソード間電圧 $V_{ac}$ とアノード電流 $I_a$ の特性は上述したように図9のようになるが、最大輝度は $V_{op}$ 、 $I_{op}$ に設定される。すなわち、ビデオアンプ2のゲインとしては、MOS型FET  $TR-1 \sim TR-j$ の図3に示すドレイン・ソース間電圧 $V_{ds}$ が湾曲点の手前、即ち1～3Vの電圧となるように調整する。つまりFET素子の定電流特性領域を用いるようにする。また、図9に示すアノード・カソード間電圧 $V_{ac}$ とアノード電流 $I_a$ の非線形特性を、 $V/I$ 補正回路3で補正するようにしてもよい。

【0050】そして $V/I$ 補正回路3では、ビデオ信号 $S_v$ に対して例えば対数圧縮処理を施し、図4に示すFET素子のゲート・ソース間電圧 $V_{gs}$ とドレイン電流 $I_D$ の特性とは逆特性が与えられるようにし、そのように処理されたビデオ信号 $S_v$ がMOS型FET  $TR-1 \sim TR-j$ のゲートに印加されるようにする。すると、各ピクセルの上部電極105（カソード電極）に流れる電流は、入力端子に入力されるビデオ信号 $S_v$ の電圧値に対してリニアな特性となり、つまりビデオ信号 $S_v$ に応じて無段階に線形に変調されたカソード電流が得られるようになる。

【0051】また、表示部10での輝度は、そのアノード電力に比例する。アノード電圧は通常一定とすることから、輝度はアノード電流に比例し、アノード電流はほぼカソード電流と同じとなる。すなわち、カソード電流が変化すれば、輝度はそれに応じて変化するため、つまり本例では、ビデオ信号 $S_v$ に応じて無段階に変調されたカソード電流により、ビデオ信号 $S_v$ に応じた無段階階調表現が実現されることになる。この場合、当然ながら従来のPWM変調のような階調の多段階化への制限もなく、また図6の特性のバラツキの影響もないため、表示画像の品位を飛躍的に向上させることができる。

【0052】ところで、 $V/I$ 補正回路3の処理のみでは特性補正が不十分であるときなどは、ビデオ信号 $S_v$ に対してA/D変換、補正演算、D/A変換を行なう補正回路系を設け、デジタル演算による補正を行なうようにしてもよい。このような場合は、各FET  $TR-1 \sim TR-j$ 毎、各ピクセル毎に対応した特性補正も可能となる。またデジタル演算補正により各FET  $TR-1 \sim TR-j$ 毎での特性補正を行なう場合は、特性バラツキ補正のための上記のソース抵抗 $1 \sim j$ は不要となる。

【0053】さらにビデオ信号 $S_v$ の特性補正のためには、各ピクセル $P_{11} \sim P_{mn}$ までの特性を予めテーブルデータとしてメモリに保持しておき、それに基づいて補正を実行するようにすることもできる。また、表示装置をフルカラー化する場合は、1ピクセル内においてR、G、Bのフィルターを設けると共に、有機EL表示素子群をR、G、Bに対応して3分割し、それぞれの色

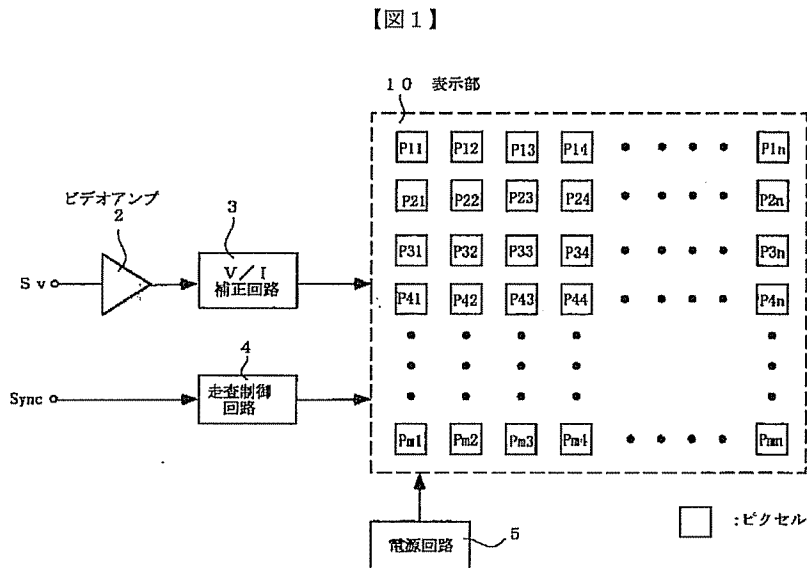
のビデオ信号を分割された各ブロックで取り込んで保持するようにする。この場合、アノード電極も分割されたブロックに対応して分割すると、各アノード電極のアノード電圧を調整することにより、色バランスを調整することができる。

【0054】

【発明の効果】以上説明したように本発明のFED表示装置、有機エレクトロルミネセンス表示装置は、各表示ピクセルをビデオ信号に応じた定電流により駆動することができるので、ビデオ信号に応じた無段階の階調表現を実現することができ、表示画像の品位を飛躍的に向上させることができる。また、各表示ピクセルを駆動する駆動手段を各表示ピクセル毎に備えるアクティブマトリクス方式とすると共に、各駆動手段内に周期毎に与えられるビデオ信号を保持する保持手段を設けるようにしたので、表示手段の出力端子数を低減することができる。さらに、各表示ピクセルはデューティが1とされる直流駆動となるので、ダイナミック方式の数分の1の駆動電圧により同一輝度が得られると共に、デューティが1とされるので表示手段の布線の浮遊容量の充放電による電力損失をほぼなくすることができる。

【図面の簡単な説明】

【図1】 本発明の表示装置の概略構成を示す図である。



【図2】 本発明の第1の実施の形態のFED表示装置の表示部の一部を詳細に示す図である。

【図3】 FETの $V_{DS}-I_D$ 特性の説明図である。

【図4】 FETの $V_{GS}-I_D$ 特性の説明図である。

【図5】 FECの構造の説明図である。

【図6】 FECの $V_{GC}-I_C$ 特性の説明図である。

【図7】 本発明の第2の実施の形態の有機EL表示装置の表示部の一部の詳細を示す図である。

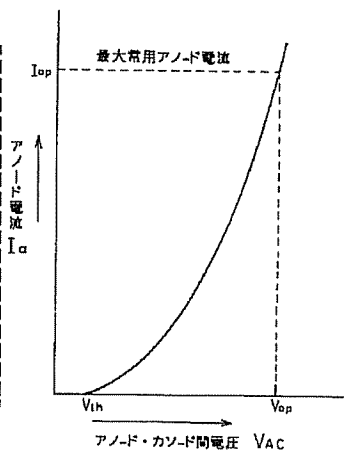
【図8】 有機EL表示部の構造の説明図である。

【図9】 有機EL表示部の $V_{AC}-I_a$ 特性の説明図である。

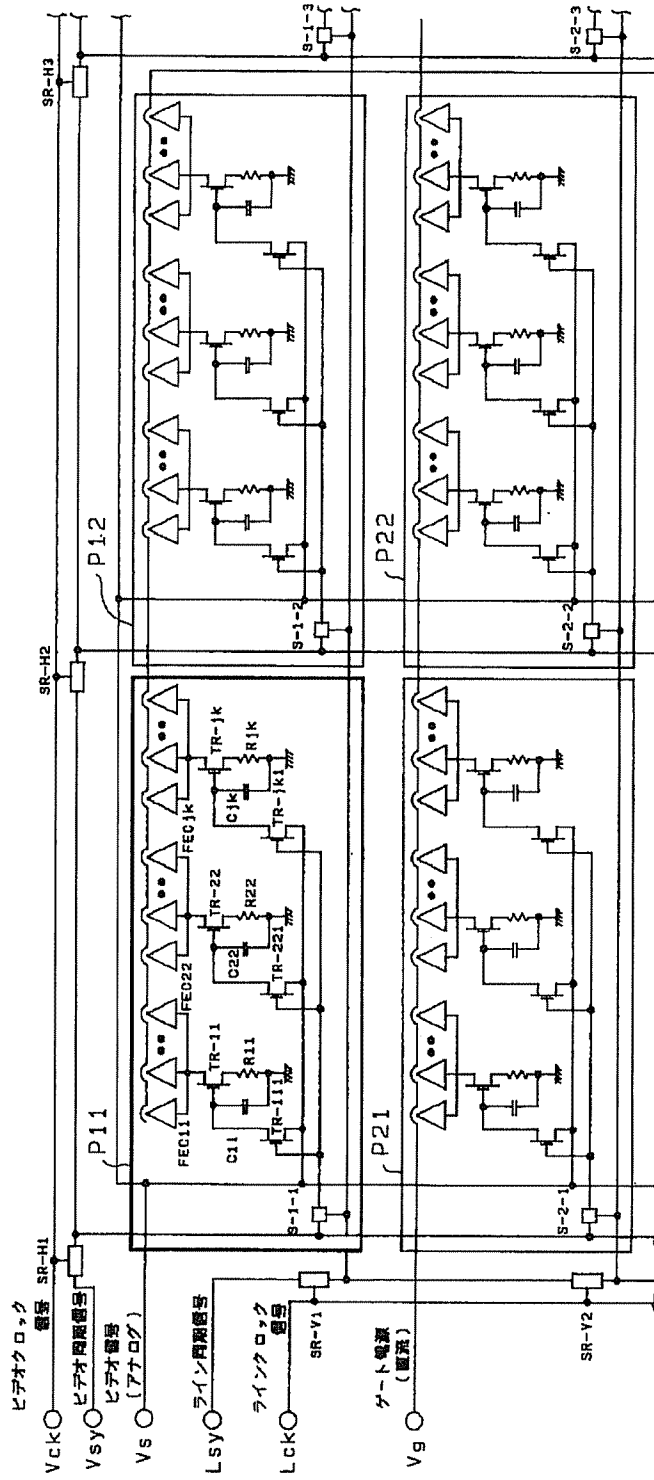
【符号の説明】

- 2 ビデオアンプ
- 3  $V/I$  補正回路
- 4 走査制御回路
- 5 電源回路
- 10 表示部
- P11~Pmn ピクセル
- FEC11~FECjk 電界放出カソード
- TR-11~TR-jk, TR-111~TR-jk1, TR-1~TR-j, TR-11~TR-j1 電界効果トランジスタ
- O-EL1~O-ELj 有機EL表示素子

【図9】

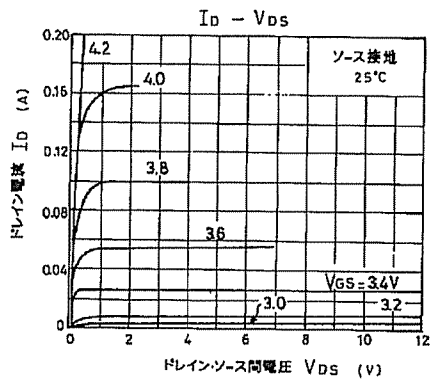


【図2】

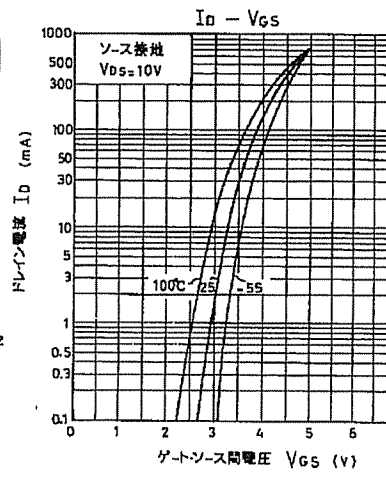


SR: シフトレジスタ    S: スイッチ    △ FEC: 電界放出カソード

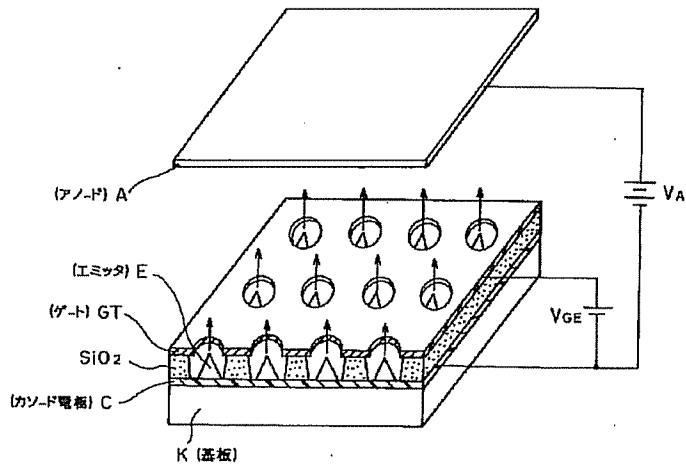
【図3】



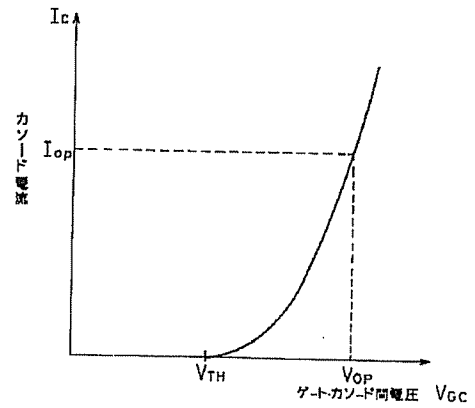
【図4】



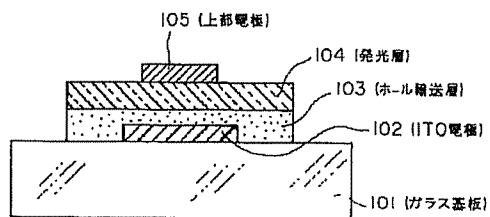
【図5】



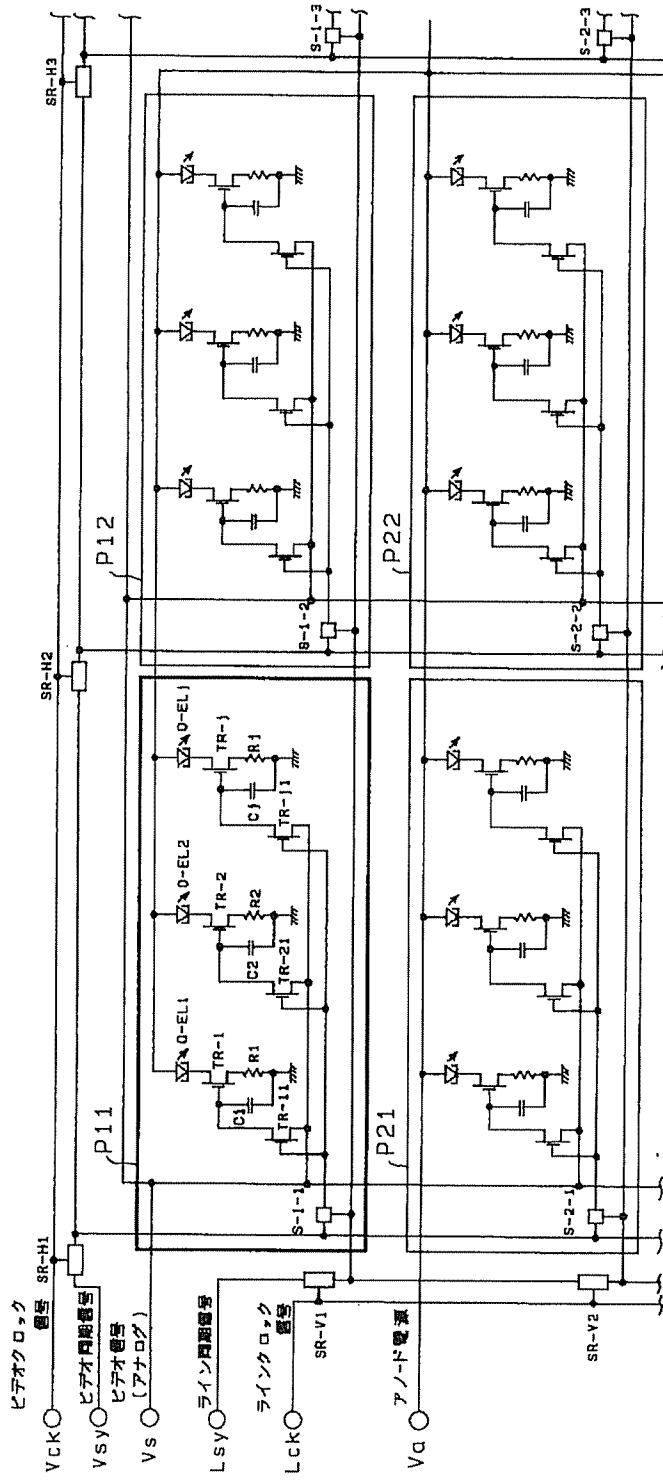
【図6】



【図8】



【図 7】



SR: シフトレジスタ    S: スイッチ    0-EL: 有機エレクトロルミネセンス